

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8238

H01L 21/28



[12] 发明专利申请公开说明书

[21] 申请号 200310116306.5

US 2005/06788(A1)

[43] 公开日 2004 年 6 月 9 日

[11] 公开号 CN 1503350A

[22] 申请日 2003.11.19

[21] 申请号 200310116306.5

[30] 优先权

[32] 2002.11.20 [33] US [31] 10/300, 165

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 R·阿默斯 K·巴马克

D·C·博伊德 C·小卡布拉

M·龙 T·S·卡纳斯基

J·T·凯兹尔斯基

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

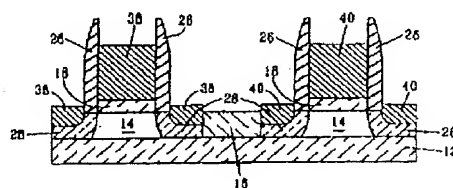
代理人 蔡胜有

权利要求书 6 页 说明书 17 页 附图 9 页

[54] 发明名称 制造多重阈值的方法和工艺

[57] 摘要

提供了用来制备具有容易调节的多重阈值电压的互补金属氧化物半导体 (CMOS) 器件的方法。提供了一种双金属层 (代表本发明的第一类方法) 或者金属合金 (代表本发明的第二类方法) 的硅质化。同时也描述了由本方法提供的具有多重阈值电压的 CMOS 器件。



ISSN 1008-4274

知识产权出版社出版

1. 一种制备金属栅 CMOS 器件的方法，该方法包括以下步骤：

提供一种结构，其包括位于含硅层顶部的多个的图案化的栅极区，每一个所述图案化的栅极区包括至少一个图案化的多晶硅区；

在第一种预定数目的图案化的所述叠层栅极区上制备第一种金属，该第一种金属与所述图案化的多晶硅相接触；

在所述第一种金属和第二种预定数目的所述图案化的叠层栅上制备第二种金属，其中在第二种预定数目的图案化的叠层栅中的所述第二种金属与所述图案化的多晶硅区相接触；以及

退火，以在所述第一种和第二种金属与下面的硅区之间发生反应，并因而形成硅化物区，这样，所述第一种预定数目的图案化的叠层栅极区包括了第一种和第二种金属的合金硅化物，且所述第二种预定数目的图案化的叠层栅极区包括第二种金属的硅化物。

2. 权利要求 1 中的方法，其中所述第一种金属和第二种金属具有不同的费米能级。

3. 权利要求 2 中的方法，其中所述第一种金属包括 Co, Ni, Ti, W, Mo 或者 Ta。

4. 权利要求 2 中的方法，其中所述第二种金属包括 Co, Ni, Ti, W, Mo 或者 Ta。

5. 权利要求 1 中的方法，其中所述第一种金属是 Co，且所述第

二种金属是 Ni.

6. 权利要求 1 中的方法, 其中所述退火在大约 450℃ 到大约 900℃ 的温度下进行, 持续时间从大约 15 到大约 90 秒.

7. 权利要求 1 中的方法, 其中所述退火在 He, Ar, N₂ 或者一种合成气体中进行.

8. 一种制备金属栅 CMOS 器件的方法, 该方法包括以下步骤:

提供一种结构, 其包括位于含硅层顶部的多个的图案化的栅极区, 每一个所述图案化的栅极区包括至少一个图案化的多晶硅区;

在第一种预定数目的所述图案化的叠层栅极区上制备第一种金属, 该第一种金属与所述图案化的多晶硅相接触;

将所述第一种金属进行第一次退火, 以在所述第一种预定数目的图案化的叠层栅极区中提供第一种金属硅化物;

在第一种金属硅化物和第二种预定数目的图案化的叠层栅极区上制备第二种金属, 在所述第二种预定数目的图案化的叠层栅极区上的所述第二种金属与所述图案化的多晶硅区相接触; 以及

将所述第二种金属进行第二次退火, 以形成第二种金属硅化物区, 其中所述第一种预定数目的图案化的叠层栅至少包括所述第一种和第二种金属的合金硅化物, 且所述第二种预定数目的图案化的叠层栅包括所述第二种金属的硅化物区.

9. 权利要求 8 中的方法, 其中所述第一种金属和第二种金属具

有不同的费米能级。

10. 权利要求 9 中的方法，其中所述第一种金属包括 Co, Ni, Ti, W, Mo 或者 Ta。

11. 权利要求 9 中的方法，其中所述第二种金属包括 Co, Ni, Ti, W, Mo 或者 Ta。

12. 权利要求 8 中的方法，其中所述第一种金属是 Co，且所述第二种金属是 Ni。

13. 权利要求 8 中的方法，其中所述第一次退火在大约 450℃ 到大约 600℃ 的温度下进行，持续时间从大约 1 到大约 120 秒。

14. 权利要求 8 中的方法，其中所述第一次退火在 He, Ar, N₂ 或者一种合成气体中进行。

15. 权利要求 8 中的方法，其中所述第二次退火在大约 600℃ 到大约 850℃ 的温度下进行，持续时间从大约 1 到大约 60 秒。

16. 权利要求 8 中的方法，其中所述第二次退火在 He, Ar, N₂ 或者一种合成气体中进行。

17. 一种制备金属栅 CMOS 器件的方法，该方法包括以下步骤：

提供一种结构，其包括位于含硅层顶部的多个的图案化的栅极区，每一个所述图案化的栅极区包括至少一个图案化的多晶硅区；

在所述含硅层的暴露表面上制备一种介电叠层，所述介电叠层的

上表面与所述的图案化多晶硅区是共面的；

在所述介电叠层的所述上表面和所述图案化的多晶硅区的暴露表面的顶部制备一种金属合金层，所述金属合金层包括一种金属和至少一种合金添加剂；

在所述金属合金层的顶部制备一个盖帽层；

进行第一次退火，以在所述图案化的叠层栅极区上部中形成部分硅化物区；

将所述盖帽层进行选择性地移除；以及

进行第二次退火，以将所述图案化的叠层栅极区的剩余部分和所述的部分硅化物区转变成金属合金硅化物区。

18. 权利要求 17 中的方法，其中所述金属合金层包括一种金属和一种合金添加剂。

19. 权利要求 18 中的方法，其中所述金属合金层的所述金属包括 Co, Ni, Ti, W, Mo 或者 Ta。

20. 权利要求 18 中的方法，其中所述的合金添加剂包括 C, Al, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Ge, Zr, Nb, Mo, Ru, Rh, Pd, Ag, In, Sn, Hf, Ta, W, Re, Ir 和 Pt 或者它们的混合物，同时要求此合金添加剂不能与所述金属相同。

21. 权利要求 20 中的方法，其中所述的合金添加剂包括 Al, Ti, V, Ge, Zr, Nb, Ru, Rh, Ag, In, Sn, Ta, Re, Ir 或者 Pt。

22. 权利要求 18 中的方法, 其中所述金属合金层按原子百分比包含大约 0.1% 到大约 50% 的所述合金添加剂。

23. 权利要求 17 中的方法, 其中所述第一次退火在大约 450℃ 到大约 600℃ 的温度下进行, 持续时间从大约 1 到大约 120 秒。

24. 权利要求 17 中的方法, 其中所述第一次退火在 He, Ar, N₂ 或者一种合成气体中进行。

25. 权利要求 17 中的方法, 其中所述第二次退火在大约 600℃ 到大约 850℃ 的温度下进行, 持续时间从大约 1 到大约 60 秒。

26. 权利要求 17 中的方法, 其中所述第二次退火在 He, Ar, N₂ 或者一种合成气体中进行。

27. 权利要求 17 中的方法, 其中所述金属合金包括 Co 和 Sn。

28. 一种 CMOS 器件, 包括

一个具有源/漏极区的含硅层;

一个位于所述含硅层部分的顶部的介电栅; 以及

至少一个位于所述介电栅顶部的合金硅化物金属栅, 所述合金硅化物金属栅由一种双金属层或者一种金属合金层组成。

29. 权利要求 28 中的 CMOS 器件, 其中所述的双金属层包括第一种金属和第二种金属, 所述金属具有不同的费米能级。

30. 权利要求 29 中的 CMOS 器件, 其中所述第一种金属包括 Co, Ni, Ti, W, Mo 或者 Ta.

31. 权利要求 29 中的 CMOS 器件, 其中所述第二种金属包括 Co, Ni, Ti, W, Mo 或者 Ta.

32. 权利要求 29 中的方法, 其中所述第一种金属是 Co, 且第二种金属是 Ni.

33. 权利要求 28 中的 CMOS 器件, 其中所述金属合金层包括一种金属和一种合金添加剂.

34. 权利要求 33 中的 CMOS 器件, 其中所述金属合金层的所述金属包括 Co, Ni, Ti, W, Mo 或者 Ta.

35. 权利要求 33 中的 CMOS 器件, 其中所述合金添加剂包括 C, Al, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Ge, Zr, Nb, Mo, Ru, Rh, Pd, Ag, In, Sn, Hf, Ta, W, Re, Ir 和 Pt 或者它们的混合物, 同时要求此合金添加剂不能与金属相同.

36. 权利要求 35 中的 CMOS 器件, 其中所述的合金添加剂包括 Al, Ti, V, Ge, Zr, Nb, Ru, Rh, Ag, In, Sn, Ta, Re, Ir 或者 Pt.

37. 权利要求 33 中 CMOS 器件, 其中所述金属合金层按原子百分比包含大约 0.1% 到大约 50% 的所述合金添加剂.

制造多重阈值的方法和工艺

技术领域

本发明涉及半导体器件，更具体地，涉及互补金属氧化物半导体（CMOS）器件的制造方法，该器件包括与之相应的具有多重阈值电压 V_t 的金属栅。

背景技术

在现有的金属氧化物半导体场效应晶体管（MOSFETs）中，一般使用一种多晶硅栅。然而使用多晶硅栅的一个缺点是，在与介电栅相邻的多晶硅栅极区里，多晶硅栅在反型时通常会经历载流子的损耗。在本领域里，这种载流子的损耗被称为多晶硅损耗效应。该损耗效应降低了 MOSFET 的有效栅电容。理想地，希望 MOSFET 的栅电容高，因为高的栅电容一般等同于积累更多的电荷。在沟道中积累的电荷越多，当晶体管偏置时源/漏电流就会越高。

同样已知的，MOSFETs 包括一个含有一个底部多晶硅部分和一个顶部硅化物部分的叠层栅。在该叠层栅中的硅化物层使栅电阻降低。电阻的降低引起栅的 RC 传播延迟时间的降低。尽管顶部的硅化物栅极区有助于晶体管电阻的降低，电荷仍然会在底部多晶硅栅和介电栅之间形成的界面附近被损耗，因而使得有效栅电容较小。

可用的另一种类型的 MOSFET 是，其栅电极完全由金属制成。在这类 MOSFETs 中，这种栅金属可防止通过栅的电荷的损耗。这防止了栅电容有效厚度的增加以及损耗效应所导致的电容的降低。

尽管金属栅可以用来消除多晶硅损耗效应并提供较低的栅电阻，通常要通过金属栅来获得多重阈值电压是相当困难的。在半导体工业中，为了整体系统性能，需要用多重阈值电压来提供低功率，高性能和混合信号应用的设计灵活性。

在美国专利 No. 6204103 中，Bai 等公开了一种制造第一类和第二类晶体管器件的方法。这一现有技术方法包括步骤：在占据了半导体衬底的第一个阱区的一部分介电栅上面制备第一种硅化物区；在占据了该衬底上的第二个阱区的第二部分介电栅上制备第二种硅化物区；然后在这第一种和第二种阱区中制备第一种和第二种掺杂区。

Bai 等在这第一种和第二种硅化物区的制备中使用了不同的金属。这一现有技术中没有提到使用一种双金属层来制备任何一个硅化物区，也没有提到使用金属合金的工艺。尽管 Bai 等确实作了一般陈述，见第 5 栏，22-24 行，“金属可以以纯态或者通过化学反应如合金化，掺杂等存在于一个所希望的费米能级”；但在这一现有技术工艺中没有提到使用金属合金。

在现有的 CMOS 技术中，使用通过离子注入在 MOSFET 体中的杂质掺杂来进行短沟道效应控制和阈值电压的调整。然而，随着杂质掺杂的增加载流子迁移率降低，随之降低了器件的性能。由于掺杂的起伏而产生的阈值电压的变化也将限制掺杂技术的有效性。所以高度希望提供一种可供选择的方法来调节金属栅 MOSFETs 的阈值电压。

发明内容

本发明提供不含体掺杂来调节 MOSFETs 的阈值电压的方法，并由此提供具有多重阈值电压的 CMOS。在本发明中，使用一种双金属

层（代表本发明的第一类方法）或者金属合金（代表本发明的第二类方法）的硅质化(salicidation)来调整 MOSFETs 的阈值电压。

具体地，本发明的第一类方法包括以下步骤：

提供一种结构，其包括位于一个含硅层顶部的许多的图案化的栅极区，每个图案化的栅极区包括至少一个图案化多晶硅区；

在第一种预定数目的所述图案化的叠层栅极区上制备第一种金属，该第一种金属与所述图案化的多晶硅区相接触；

在所述第一种金属和第二种预定数目的所述图案化的叠层栅顶部制备第二种金属，其中在所述第二种预定数目的所述图案化的叠层栅上的所述第二种金属与所述图案化的多晶硅区相接触；以及

退火，以使第一种和第二种金属与下面的硅区反应而随后形成硅化物区，这里所述的第一种预定数目的图案化的叠层栅极区包括第一种和第二种金属的合金硅化物，且所述的第二种预定数目的图案化的叠层栅极区包括所述第二种金属的硅化物。

本发明的包括一种双金属层来调整阈值电压的另一个方法，该方法包括以下步骤：

提供一种结构，其包括位于一个含硅层顶部的许多的图案化的栅极区，每个所述图案化的栅极区包括至少一个图案化的多晶硅区；

在第一种预定数目的所述图案化的叠层栅极区上制备第一种金属，该第一种金属与所述图案化的多晶硅区相接触；

将所述第一种金属退火以在所述第一种预定数目的图案化的叠层栅极区上提供第一种金属硅化物。

在第一种金属硅化物和第二种预定数目的图案化的叠层栅极区上制备第二种金属，在所述第二种预定数目的图案化的叠层栅极区上的所述第二种金属与所述图案化的多晶硅区相接触；以及

将所述第二种金属退火以形成第二种金属硅化物，其中所述第一种预定数目的图案化的叠层栅包括至少一种所述第一种和第二种金属的合金硅化物，且所述的第二种预定数目的图案化的叠层栅包括所述第二种金属的硅化物区。

本发明的第二类方法包括用一种金属合金层来调整 MOSFET 器件的阈值电压，该方法包括以下步骤：

提供一种结构，其包括位于一个含硅层顶部的许多的图案化的栅极区，每个所述图案化的栅极区包括至少一个图案化的多晶硅区；

在所述含硅层的暴露表面上制备一个介电叠层，所述介电叠层的上表面与所述图案化的多晶硅区是共面的；

在所述介电叠层的所述上表面和所述图案化的多晶硅区的一个暴露表面的顶部制备一种金属合金层，所述金属合金层包括一种金属和至少一种合金添加剂；

在所述金属合金层顶部制备一个盖帽层；

第一次退火，以在所述图案化的叠层栅极区的上部中形成一个部分硅化物区；

选择性移除所述盖帽层；以及

第二次退火，以将所述图案化的叠层栅极区的剩余部分和所述的部分硅化物区转变成金属合金硅化物区。

本发明的另一个方面涉及一种 CMOS 器件，其包括：一个其中含有源/漏极区的含硅层；一个在所述含硅层顶部的介电栅；以及至少一个位于所述介电栅顶部的合金硅化物金属栅，所述的合金硅化物金属栅由一种双金属层或者一种金属合金层组成。

附图说明

图 1-9 是本发明的第一类方法所用的基本工艺步骤的示意图（剖面图表示）。

图 10A-10C 是本发明的第一类方法的一种可供选择的工艺方案所用的基本工艺步骤的示意图（剖面图表示）。

图 11-16 是本发明的第二类方法所用的基本工艺步骤的示意图（剖面图表示）。

发明的详细描述

现在，参照本申请的附图，对提供了具有多重阈值电压的金属栅 CMOS 器件的制造方法的这一发明进行更加详细的描述。

现在描述本发明的第一类方法，如图 1-9 和图 10A-10C 中所示。在本发明的第一类方法中，用一种双金属层来调整 CMOS 器件的阈值

电压。

首先参照图 1，其图示的是可以在本发明中使用的初始的绝缘体上硅（SOI）晶片。具体地，图 1 中的初始 SOI 晶片包括氧化物理层 12，其夹在含硅衬底 10 和含硅层 14 之间。该氧化物理层将含硅衬底 10 从含硅层 14 上电隔离开来。注意，含硅层 14 是 SOI 晶片上的一般在其上制备有源器件的区域。这里使用的“含硅”一词指的是至少包含硅的材料。该含硅材料的示例包括，但不限于：Si，SiGe，SiC，SiGeC，Si/Si，Si/SiC 以及 Si/SiGeC。氧化物理层 12 可以是一种连续的氧化物理区，如图 1 中所示，或者可以是非连续的氧化物理区，即图案化的（未示出）。非连续的氧化物理区是被含硅层，即含硅层 10 和 14 所包围的分立的隔离区或岛。

该 SOI 晶片可以用本专业技术人员熟知的常规的 SIMOX（氧离子注入分离）工艺来制备。在一种典型的 SIMOX 工艺中，用离子注入将氧离子注入到硅晶片中。注入区的深度依赖于在离子注入中所使用的条件。在注入步骤之后，将注入晶片进行能够使注入区转变成氧化物理层区的退火。可供选择地，SOI 晶片可以用其它的常规工艺进行制造，包括例如热键合和剥离工艺。

除了上面的技术外，在本发明中所用的初始 SOI 晶片可以用淀积工艺以及光刻和刻蚀（当制造图案化的 SOI 衬底时使用）来制备。具体地，该初始 SOI 晶片可以这样制得，在含硅衬底的顶部淀积或者热生长一个氧化物膜；可选地，通过常规的光刻和刻蚀来使该氧化物膜图案化；然后采用一种常规的淀积工艺，包括例如化学气相淀积（CVD），等离子体辅助 CVD，溅射，蒸发，化学溶液淀积或者 Si 外延生长，来在该氧化物层顶部制备一个含硅层。

在初始的 SOI 晶片中的各种层的厚度可依赖于其所用的制造工艺

而变化。然而，一般地，含硅层 14 的厚度在大约 5-200 nm，优选的在 10-20 nm。对于氧化物埋层，其厚度可在大约 100-400 nm。含硅衬底层即层 10 的厚度在本发明中是无关紧要的。注意，上面所提供的厚度是示例性的，并不限制本发明的范围。

在本发明中，含硅层 14 的部分将作为金属栅 CMOS 器件的主体区。注意，含硅层 14 可以是不掺杂的，或者可用本专业技术人员所熟知的常规技术来进行掺杂。掺杂类型依赖于要制造的器件的类型。在下面的本发明的第一类方法的附图中，为了清楚，没有表示出含硅衬底。不过，在图 2-9 和 10A-10C 中已包含了含硅衬底 10。

图 2 表示的是已经制备了沟道隔离区 16 和介电栅 18 之后的 SOI 晶片。沟道隔离区这样制造，首先在 SOI 晶片的表面上制备一种牺牲氧化物（未示出）和一个硬掩模（未示出），然后，将沟道制备到 SOI 晶片的预先确定的部分上，使每个沟道的底墙要么在含硅层 14 中，要么在氧化物埋层 12 的上表面停止。牺牲氧化物层可以用一种热氧化工艺或者一种常规的淀积工艺如 CVD 来制备。通过淀积将硬掩模制备到先已制成的牺牲氧化物层上。硬掩模由一种绝缘材料组成，其与牺牲氧化物层相比具有不同的刻蚀选择性。一般地，硬掩模由一种氮化物或者氧氮化物组成。

然后，利用常规的光刻和刻蚀使沟道通过硬掩模和牺牲氧化物层，形成到 SOI 晶片上。在制备沟道中所用的光刻包括步骤：将一种光阻剂（未示出）应用到该结构的顶部表面，用图案辐射将该光阻剂曝光，然后用一种常规的光阻显影剂将曝光的光阻剂上的图案显影。可以单步进行或者多步进行的刻蚀步骤包括：使用常规的干法刻蚀工艺，比如反应离子刻蚀（RIE），等离子体刻蚀，离子束刻蚀；化学刻蚀；或者上面的方法的结合。在制备沟道时，通过刻蚀将在光阻剂上形成的图案转移到硬掩模上，然后将图案化的光阻剂移除。进一步地，使用

刻蚀将沟道图案从硬掩模转移到 SOI 晶片上。

然后，将含有沟道的 SOI 晶片进行一种可选地氧化处理，在暴露的由含硅材料组成的沟道侧壁上形成一种薄的氧化物衬里（没有具体标出）。通过一种常规的淀积工艺，比如 CVD 或者等离子体-CVD，将这些沟道（含或者不含衬里）用诸如 TEOS（四乙基原硅酸盐）的介电材料（或者绝缘材料）进行填充。之后，用一种常规的整平工艺比如化学-机械抛光（CMP）或者研磨来对此结构进行整平，并直到硬掩模的上表面截至。在将沟道填充后，可选地可以进行密实化步骤，但要在整平之前进行。

然后用相对于氧化物对移除氮化物具有高度选择性的刻蚀工艺将剩余的硬掩模移除，此后，再用相对于含硅材料对移除氧化物具有高度选择性的刻蚀工艺将剩余的牺牲氧化物层和沟道填充物的残余部分移除。注意，在将牺牲氧化物移除之后，含硅层 14 的表面部分现在是裸露的了。

然后，用一种常规的热生长工艺或者淀积，在裸露的含硅表面顶部和沟道隔离区上制备介电栅 18。该介电栅一般是厚度在大约 1-10 nm 的薄层。该介电栅可由一种氧化物组成，包括但不限于： SiO_2 ，氮氧化物， Al_2O_3 ， ZrO_2 ， HfO_2 ， Ta_2O_5 ， TiO_2 ，钙钛矿型氧化物，硅酸盐以及上述加上或者不加氮的组合。

在该结构的暴露表面上制备了介电栅之后，接着制备多晶硅层 20 和氧化物层 22，以提供如图 3 中所示的结构。多晶硅层用一种常规的淀积工艺如 CVD 来制备。多晶硅层 20 的厚度是可以变化的，但一般地，多晶硅层 20 的厚度在大约 40-200 nm。在先制成的多晶硅层顶部用一种常规的淀积工艺或者热生长工艺来制备氧化物层。氧化物层 22 的厚度是可以变化的，但一般地，氧化物层 22 的厚度在大约 20-200

nm. 注意, 多晶硅层 20 和氧化层 22 用来限定本发明中的栅极区。

然后用常规的光刻和刻蚀, 进行氧化物层 22, 多晶硅层 20 和介电栅 18 的栅图案化, 以在 SOI 晶片顶部提供多个图案化的叠层区。图 4 所示的是形成了两个图案化的叠层区, 用 24 和 24' 标记。然后通过先淀积一种绝缘材料, 比如一种氮化物或者氧氮化物, 然后再有选择性地将该绝缘材料进行刻蚀, 在图案化的叠层区的每个暴露的垂直侧壁上制备绝缘隔离物 26。

在隔离物淀积和刻蚀之后, 通过用常规的离子注入, 并接着进行活性退火, 在含硅层 14 内制成源/漏极区 28。图 4 所示的就是在进行了上述工艺步骤后得到的结构。

然后, 用常规的淀积方法, 在图案化的叠层区顶部和邻近处制备由一种氧化物或者其它类似的阻挡材料组成的阻挡层 30。然后在该阻挡层 30 上通过一种淀积工艺比如旋转涂层或者 CVD 制备保护层 32。例如, 所得到的含有阻挡层 30 和保护层 32 的结构如图 5 中所示。

然后用光刻将该保护层图案化, 这样就使一些图案化的叠层区仍被保护层 32 的保护, 然而其它的图案化的叠层区就没有了保护。也就是说, 第一种预定数量的图案化的叠层区暴露出来, 而第二种数量的预定数量的图案化的叠层区用保护层 32 保护。在图 6 中, 图案化的叠层区 24' 保留了保护层 32 的保护, 而图案化的叠层区 24 没有了保护。

在将保护层 32 图案化之后, 将氧化物层 22 从结构中移除, 得到例如在图 6 中所示的结构。注意, 氧化物层 22 的移除使多晶硅层 20 暴露出来。本发明中的这一移除步骤是利用了一种与硅相比对移除阻挡层材料和氧化物具有高选择性的刻蚀工艺来进行的。用来移除氧化物层 22 的刻蚀可以单步或者多步进行。

然后利用一种常规的淀积工艺，包括但不限于溅射，电镀，CVD，原子层淀积或者化学溶液淀积，来在多晶硅层 20 的暴露表面上制备第一种金属 34。该第一种金属可以由当与硅接触并退火后可以形成一种金属硅化物的任意的金属组成。适用的第一种金属包括，但不限于：Co, Ni, Ti, W, Mo, Ta 以及其它类似的金属。优选的第一种金属包括：Ni, Co 和 Ti。淀积的第一种金属的厚度在大约 10-110 nm，进一步高度优选的厚度在大约 10-85 nm。例如，在图 7 中所示的就是得到的包括第一种金属 34 的结构。

在制备了第一种金属 34 后，用本领域技术人员熟知的常规的保护剥离工艺将保护层 32 从该结构中移除，由此将先前没有从该结构中移除的阻挡层 30 暴露出来。注意，在本发明的一些实施方案中，保护层 32 仅仅部分移除，以暴露先前受保护的图案化的叠层区中的一些部分，然而仍然保护着一些剩余的图案化的叠层区。

然后用上面提到的刻蚀工艺将氧化物层 22 移除，以使先前受保护的区中的多晶硅层 20 暴露出来。然后将与第一种金属 34 具有不同费米能级的第二种金属 36 淀积在第一种金属以及现在暴露出的多晶硅层 20 上。适用的第二种金属包括，但不限于：Co, Ni, Ti, W, Mo, Ta 以及其它类似的金属，并要求第二种金属与第一种金属不同。优选的第二种金属包括：Ni, Co 和 Ti。淀积的第二种金属的厚度在大约 10-110 nm，进一步高度优选的厚度在大约 10-85 nm。例如，在图 8 中所示的就是所得到的包括第二种金属 36 的结构。

在一些实施方案中，上述保护移除和金属淀积步骤可以重复任意多次。在这样一种实施方案中，每种淀积的金属与先前淀积的金属具有不同的费米能级。

接下来, 将包含了第一种和第二种金属的结构进行退火, 退火进行的条件应使第一种和第二种金属与其下面的硅区即多晶硅层发生反应而分别形成硅化物区 38 和 40. 硅化物区 38 由一种第一种和第二种金属的合金硅化物组成, 而硅化物区 40 由第二种金属的硅化物组成. 注意, 上面提到的第一种和第二种金属的厚度要使该金属与其下面的多晶硅层 22 部分之间的反应完全将多晶硅层耗尽.

一般地, 此步退火在大约 450℃ 到大约 900℃ 的温度下进行, 持续时间从大约 15 到大约 90 秒. 更优选地, 此步退火一般在大约 500℃ 到大约 700℃ 的温度下进行, 持续时间从大约 20 到大约 80 秒. 注意, 也可以采用其它的温度和持续时间, 只要这些条件可以形成硅化物区. 该步退火一般在一种包括 He, Ar, N₂ 或者一种合成气体的气体环境中进行.

在一些没有表示出来的情况下, 第一种和第二种金属的一些部分在形成硅化物区时没有用尽. 在这些实施方案中, 残留了未反应的金属, 这些未反应的金属一般位于硅化物区的顶部. 然后将未反应的金属移除, 得到如在图 9 中所示的结构. 具体地, 这些未反应的金属, 如果存在, 用一种与硅化物相比对移除金属具有高选择性的刻蚀工艺来移除. 例如, 在从该结构中移除剩余的未反应金属时可以使用过氧化氢和硫酸的混合物.

再要注意, 在图 9 所示的结构中, 硅化物区 38 由第一种和第二种金属的合金硅化物组成, 然而硅化物区 40 由第二种金属的硅化物组成. 因而, 所得到的 CMOS 器件具有与之相应的有多重阈值电压的金属栅极区. 可以通过调节所用第一种和第二种金属的比率来调整 CMOS 器件的阈值电压. 利用本发明中的这一方法制成的栅完全由一种硅化物组成; 所以本发明方法提供了没有任何多晶硅损耗效应的 CMOS 器件. 而且该 CMOS 器件与多晶硅栅和/或由多晶硅/硅化物叠

层制成的栅相比具有较低的栅电阻。

在本发明的第一类方法的一个可供选择的工艺方案中，制备如图5-9中所示的结构所用的工艺用如下方案代替。首先，将图4结构中的氧化物区22移除，然后在暴露的多晶硅层20的顶部制备第一种金属34。然后通过光刻和刻蚀将该第一种金属图案化，得到如图10A中所示的结构。在图案化之后，将第一种金属按如上所述进行退火，从而在该结构中制得第一种金属硅化物区50。例如，所得到的包括第一种金属硅化物区的结构如图10B所示。注意，若在退火后留有任何未反应的第一种金属，这些未反应的第一种金属可用如上所述的方法移除。然后淀积第二种金属36，并随后对第二种金属进行退火。注意，若在退火后留有任何未反应的第二种金属，这些未反应的第二种金属可以按如上所述的方法进行移除。经过退火，形成了由第一种和第二种金属组成的硅化物区38，以及由第二种金属组成的硅化物区40。参见图10C。

针对本发明的第一类方法的这一可供选择的方案提供了具有与之相应的有多重阈值电压的金属栅极区的CMOS器件。可以通过调节所用第一种和第二种金属的比率来调整CMOS器件的阈值电压。利用本发明中的这一方法制成的栅完全由一种硅化物组成；所以本发明方法提供了没有任何多晶硅损耗效应的CMOS器件。而且该CMOS器件与多晶硅栅和/或由多晶硅/硅化物叠层制成的栅相比具有较低的栅电阻。

上面的描述提供了一类方法，其中使用了双金属层来提供具有多重阈值电压的CMOS器件，其阈值电压可以简单地通过改变所用第一种和第二种金属的比率来进行调整。接下来的描述和图11-16阐释的是本发明的第二类方法，其中用金属合金来提供可以调整的多重阈值栅极区。

首先参照如图 11 中所示的初始 FET 的结构。具体地, 图 11 中的初始的 FET 结构包含其中制备有隔离沟道区 16 以及源/漏极区 28 的含硅层 14。该初始结构也包括至少一种图案化的叠层栅 24, 其包括位于含硅层的表面顶部的图案化的介电栅 18 和图案化的多晶硅栅 20。绝缘隔离物 26 位于图案化的叠层栅极区的相对的垂直侧壁上。如图 11 中所示的该初始结构还包括位于源/漏极区的硅化物区 52。含硅层 14 可以是也可以不是 SOI 晶片的一部分。这样, 含硅层可由单晶硅, 多晶硅, SiGe, 无定形硅或者 SOI 晶片组成。

图 11 中的结构是用本专业技术人员熟知的常规的工艺步骤制成的。由于图 11 中的初始结构的制法是熟知的, 这里就不再对同样的方法进行详细的描述。任何常规的具有多晶硅栅的 CMOS 器件都可以用来制备合金硅化物栅。

然后, 制备一个介电叠层, 比如第一种介电材料层和第二种介电材料层。具体地, 用一种常规的淀积工艺或者热生长工艺在图 11 所示的结构上制备第一种介电层 54, 以将含硅层 14 的暴露部分和硅化物区 52 覆盖。该第一种介电层可由一种氮化物或者氧氮化物组成, 而且其一般具有的厚度在大约 10 到大约 100 nm。

然后, 通过常规的技术, 比如 CVD, 在介电层 54 顶部制备第二种介电层, 比如 SiO_2 层 56。该第二种介电层可以由一种氮化物或者氧氮化物组成, 而且其一般具有的厚度在大约 10 到大约 100 nm。注意, 层 56 的上表面与多晶硅层 20 的上表面是共面的。为了提供这种共面性, 在淀积了 SiO_2 层之后, 可以接着进行一种常规的整平步骤, 比如化学-机械抛光。例如, 图 12 所示的就是所得到的包括介电层 54 和 56 的结构。

参见图 13, 在层 56 和暴露的多晶硅层顶部制备金属合金层 58。本发明中的这一金属合金层包含能够与其下面的多晶硅反应形成一个硅化物区的至少一种金属和一种合金添加剂。在本发明中所用的该金属合金层中的金属包括任何的上面列出的用于第一种和第二种金属的金属。对于该金属合金优选的金属是 Co 或 Ni, 更高度优选的是 Co。本发明中的这一合金层中也按原子百分比包括 0.1-50% 的至少一种添加剂, 所述的至少一种的添加剂选自 C, Al, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Ge, Zr, Nb, Mo, Ru, Rh, Pd, Ag, In, Sn, Hf, Ta, W, Re, Ir 和 Pt, 但要求此合金添加剂不能与金属相同。这里也可以采用这些添加剂中的一种或者多种的混合物。更优选地, 该合金层中存在的添加剂的量按原子百分比在从大约 0.1% 到大约 20%。在上面提到的添加剂中, 本发明优选的是 Al, Ti, V, Ge, Zr, Nb, Ru, Rh, Ag, In, Sn, Ta, Re, Ir 和 Pt。

该金属合金层可以通过物理气相淀积 (溅射和蒸发), CVD 包括原子层淀积, 或者电镀来淀积。该金属合金层的厚度在大约 10 到大约 100 nm, 更优选的厚度是在大约 10 到大约 85 nm。

这里所用“合金”一词包括其中具有均匀的或者非均匀的所述添加剂分布的金属组合物; 其中具有所述添加剂梯度分布的金属组合物; 或者其混合物或化合物。

接下来, 如图 13 所示, 在金属合金层 58 的表面上制备盖帽层 60。此盖帽层用本专业技术人员熟知的常规的淀积工艺来制备。在本发明中用来制备该盖帽层的适用的淀积工艺的示例包括, 但不限于: 化学气相淀积, 等离子体辅助化学气相淀积, 溅射, 蒸发, 电镀, 旋涂以及其它类似的淀积工艺。只要该盖帽层能防止氧气或者其它环境气体扩散到结构内部的, 其厚度在本发明中并不关键。一般地, 盖帽层厚度在大约 10 到大约 30 nm。

该盖帽层由本专业技术人员熟知的可以防止氧气向结构内扩散的常规材料组成。例如，TiN，W 以及其它类似的材料可用作盖帽层。

接下来，将包括了盖帽层和金属合金层的结构进行第一步退火，该步能使金属合金层和下面的多晶硅层之间产生部分的相互作用。此第一步退火在多晶硅层的上部中形成了部分硅化物层 62，参见图 14。在本发明中这样得到的硅化物层是并没有处在其最低电阻相的硅化物材料。例如，当金属合金中包括 Co 时，第一步退火可在多晶硅层的上面部分形成 CoSi。

该第一步退火一般在大约 450℃ 到大约 600℃ 的温度下进行，持续的时间从大约 1 到大约 120 秒。更优选地，此步退火一般在大约 500℃ 到大约 550℃ 的温度下进行，持续的时间从大约 20 到大约 90 秒。注意，也可以采用其它的温度和时间，只要这些条件可引起硅化物区的形成。该第一步退火一般在一种包括 He，Ar，N₂ 或一种合成气体的气体环境中进行。

在第一步退火之后，利用一种对从结构中移除盖帽层和任何未反应的金属合金层具有高选择性的常规的刻蚀工艺将二者从结构中移除。例如，在经过该选择性的移除步骤后所得到的结构如图 15 所示。然后，将如图 15 中的结构进行第二步退火，其将部分硅化物/多晶硅区转变为一种金属合金硅化物区。例如，所得到的包括金属合金硅化物区 64 的结构如图 16 所示。

该第二步退火一般在大约 600℃ 到大约 850℃ 的温度下进行，持续的时间从大约 1 到大约 60 秒。更优选地，此步退火一般在大约 650℃ 到大约 750℃ 的温度下进行，持续的时间从大约 20 到大约 45 秒。注意，也可以采用其它的温度和时间，只要这些条件可引起硅化物区的

形成。该第二步退火一般在一种包括 He, Ar, N₂ 或一种合成气体的气体环境中进行。

结果得到的 CMOS 器件具有与之相应的有多重阈值电压的金属栅极区。该 CMOS 器件的阈值电压可以通过调节所用的金属合金层来进行调整。用本发明中的这类方法制成的栅完全由一种硅化物组成；所以，本发明方法所提供的 CMOS 器件不会表现出任何的多晶硅损耗效应。而且与多晶硅栅和/或由多晶硅/硅化物叠层制成的栅相比，该 CMOS 器件具有较低的栅电阻。

下面的例子用来说明用本发明的方法之一可以得到的一些优势。具体地，下面的例子说明的是本发明的其中采用金属合金层的第二类方法的使用。

实施例

在这一实施例中，用本发明的第二类方法对含 5%Sn 的 Co 合金和纯 Co 进行了比较。具体地，制备了一种 MOSFET 结构，其包括一个包含 40 nm 多晶硅栅和 140 nm 氧化物盖帽层的图案化的叠层栅。该图案化的叠层栅包括在其相对的侧壁上制备的 1.4 nm 宽的氧氮化物隔离物。在活化源/漏极区之前将氧化物盖帽层移除。NFET (263 nm 栅宽) 多晶硅控制器件的阈值电压为 0.4 V。当用纯 Co 来形成 CoSi₂ 时，阈值电压是 0.77 V。当采用的是按原子百分比含 5% 的 Sn 的 Co 时，所形成的 CoSi₂(Sn) 栅具有的阈值电压大约为 1.02 V (向着 pFET 方向有大约 250 mV 的位移)。这一例子清晰的表明，完全的硅化物金属合金栅可以有效的调节 MOSFET 的阈值电压。

尽管已经用其优选的实施方案对本发明进行了具体的表示和描述，本专业技术人员明白在不脱离本发明的主旨和范围的情况下，可

以进行任何形式和细节上的前进和改变。所以，本发明并不局限在所描述的具体的形式和细节上，而是属于所附权利要求的范围中。

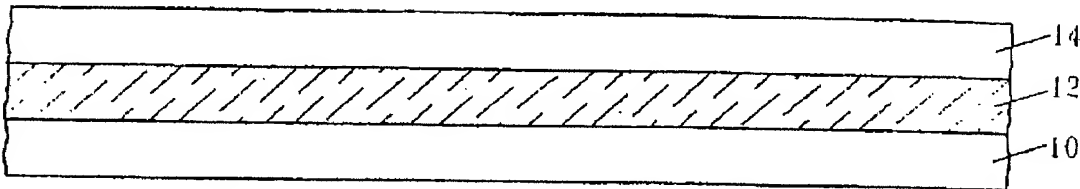


图1

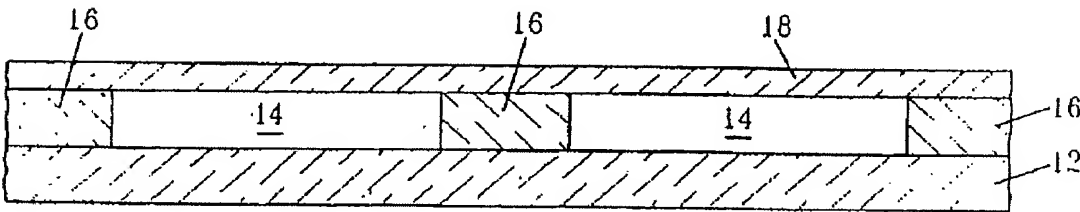


图2

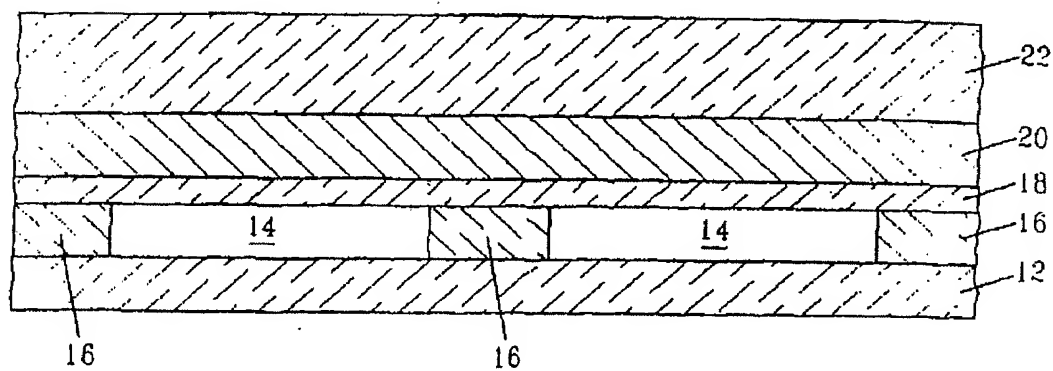


图 3

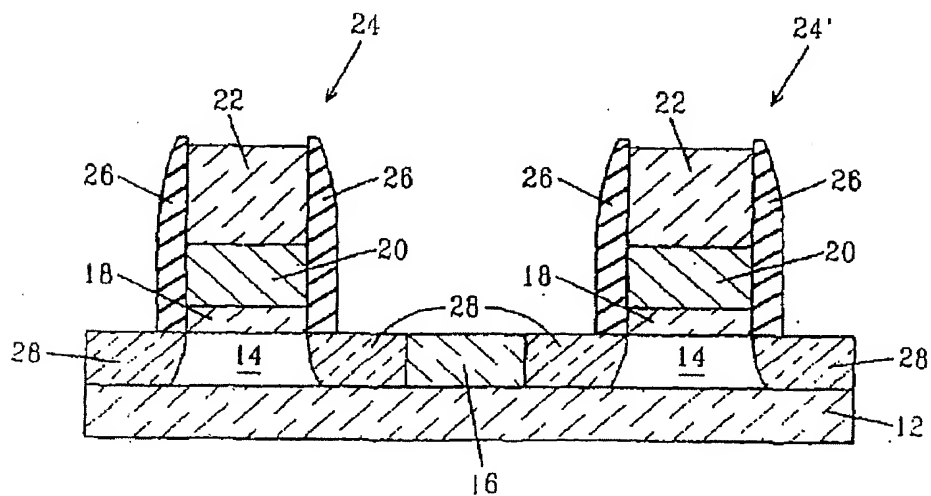


图 4

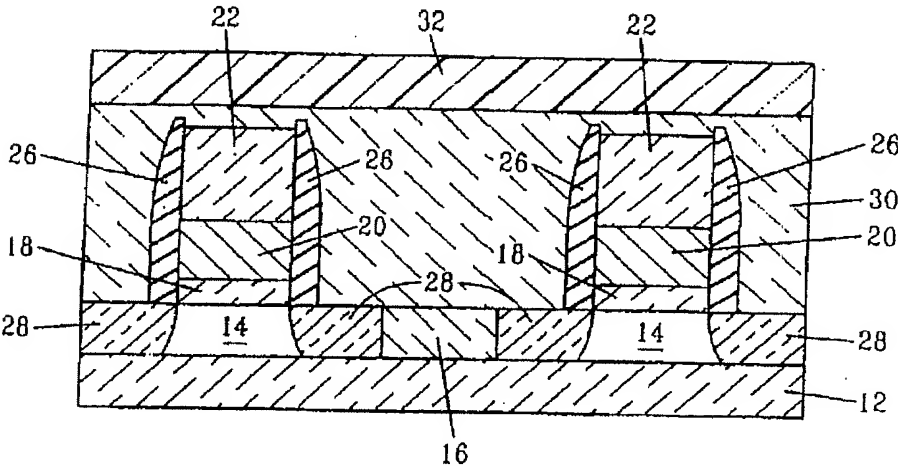


图 5

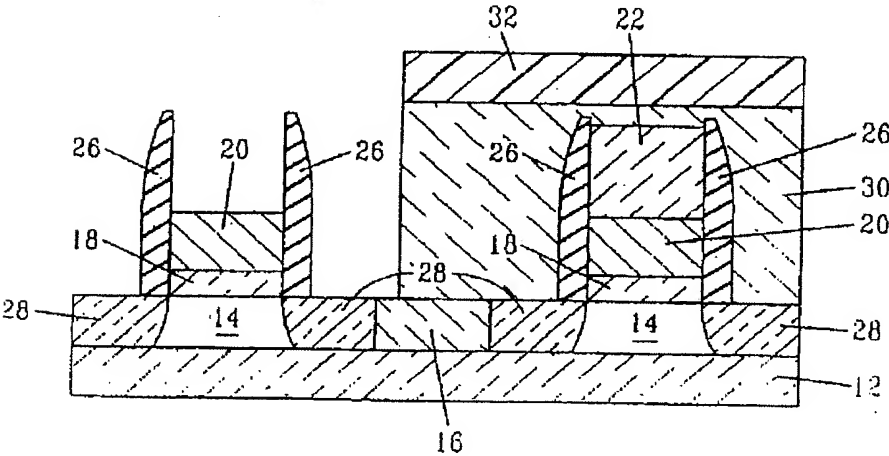


图 6

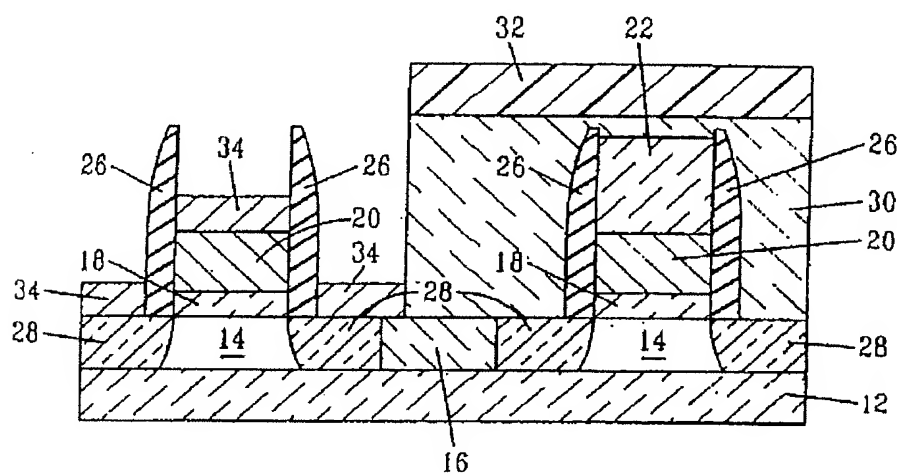


图 7

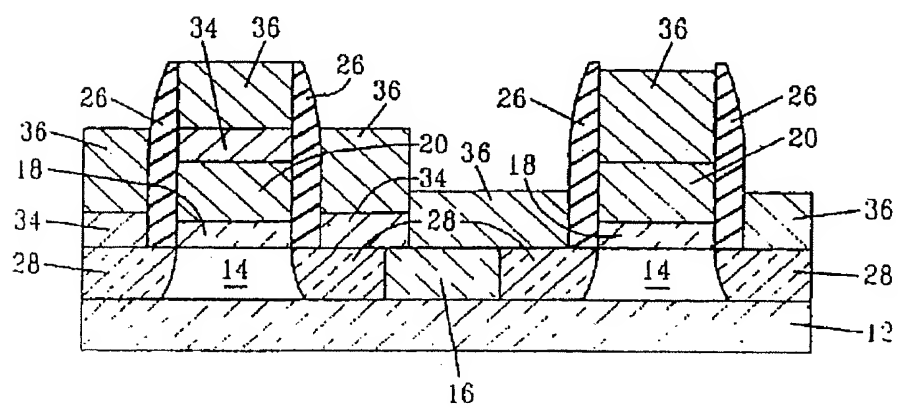


图 8

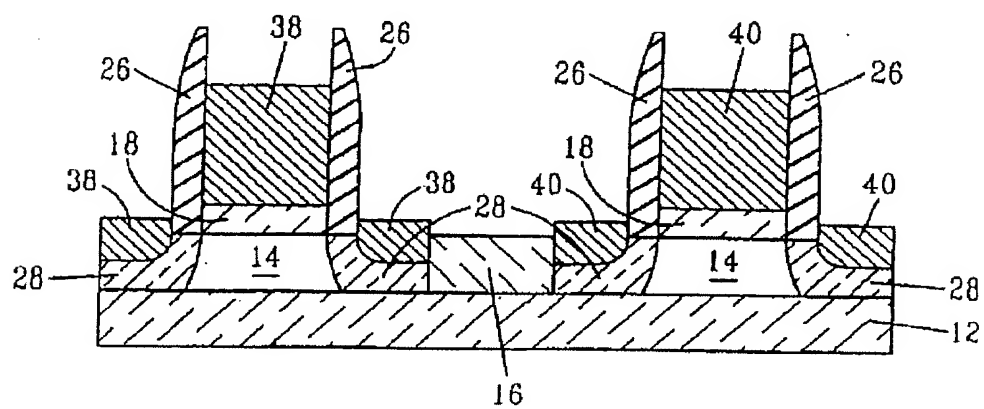


图9

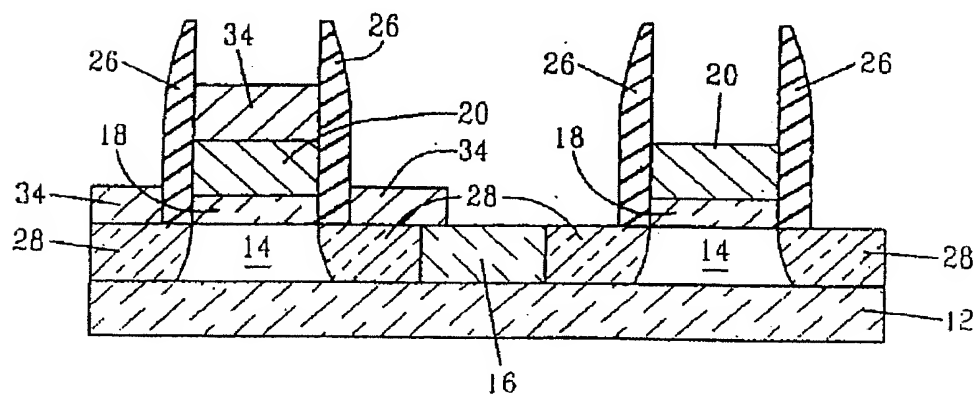


图10A

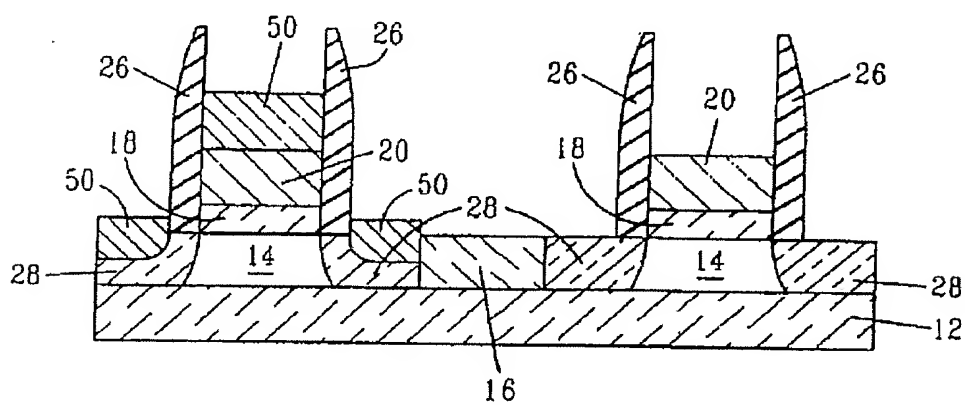


图10B

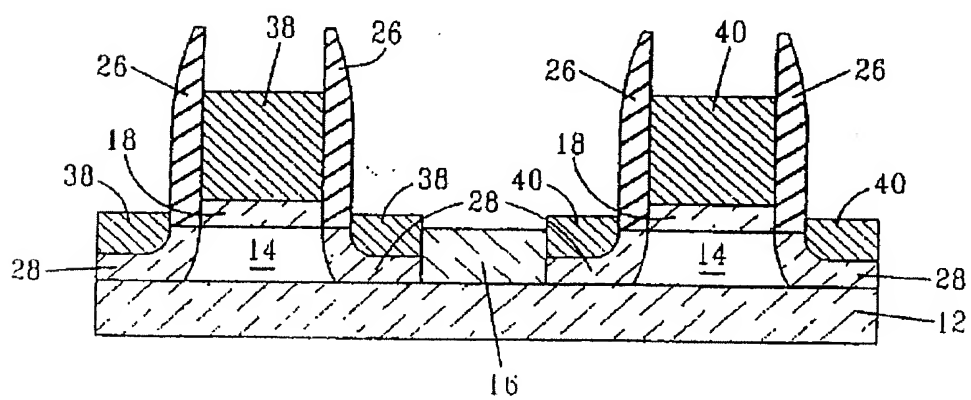


图10C

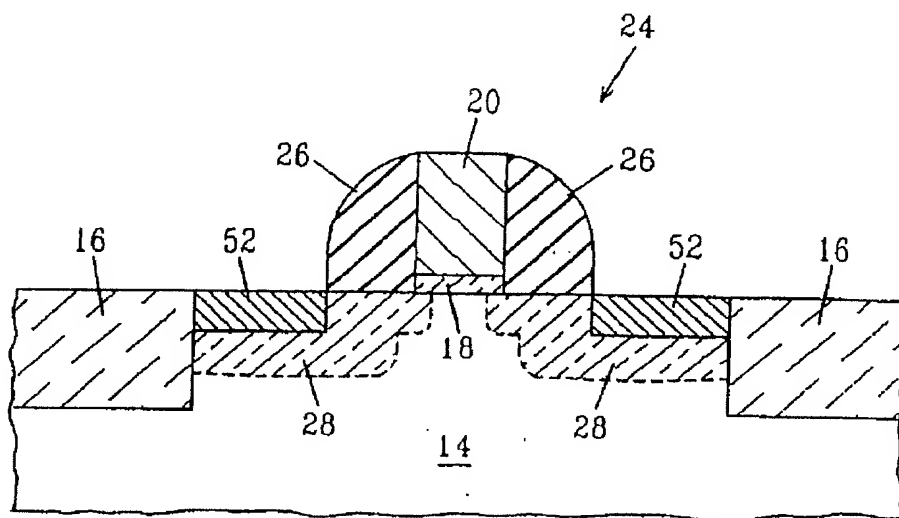


图 11

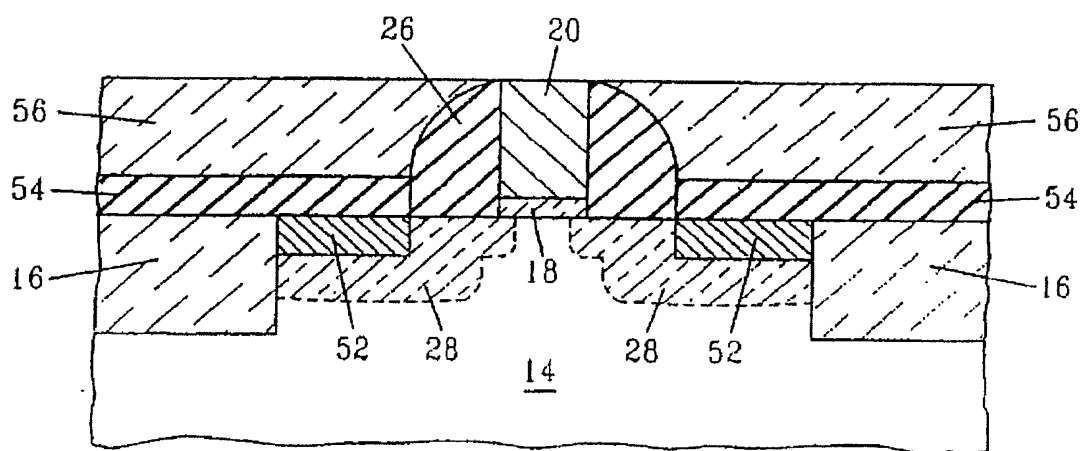


图 12

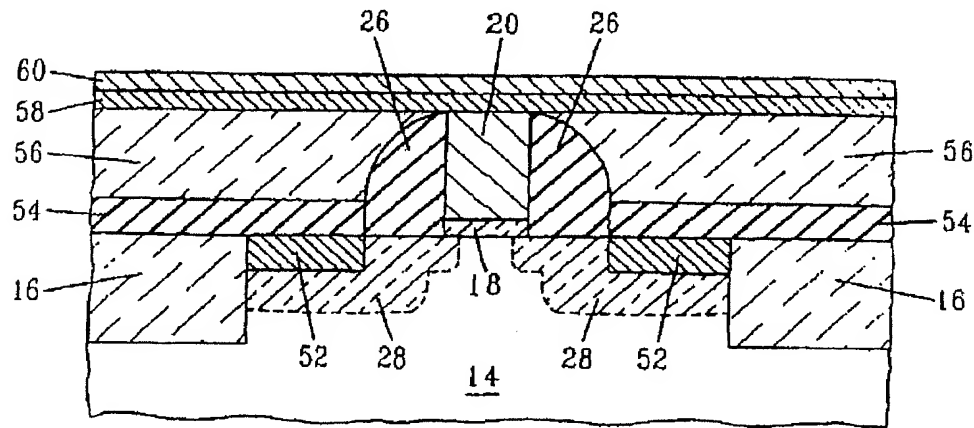


图 13

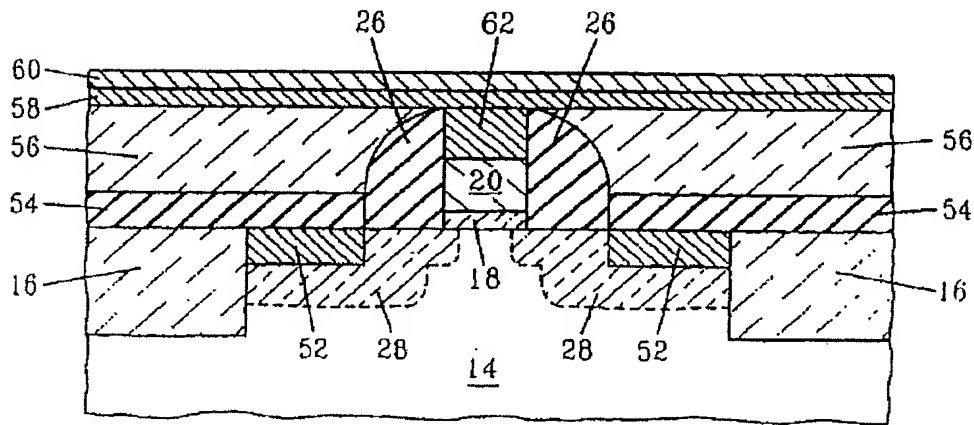


图 14

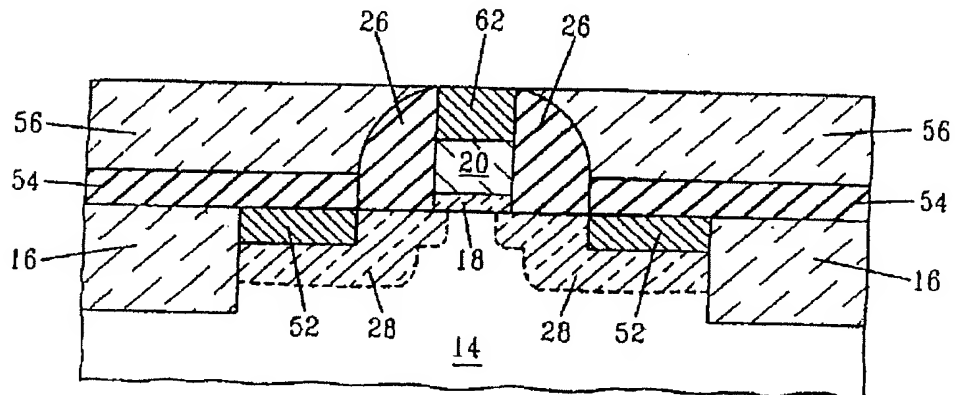


图 15

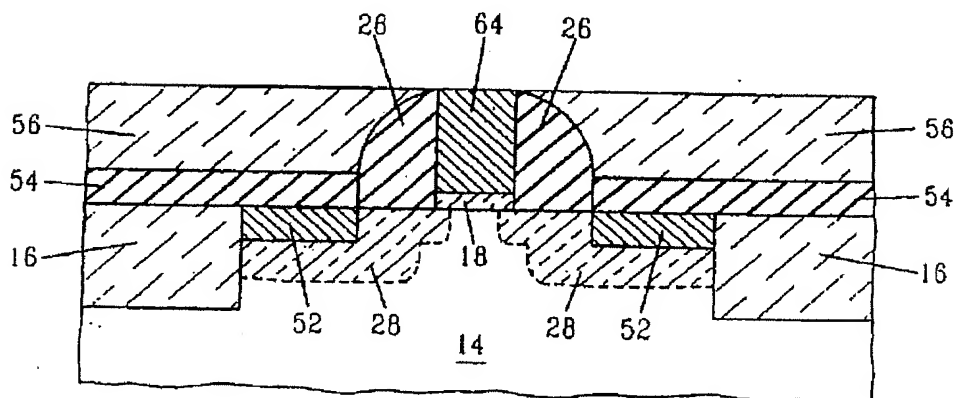


图 16